

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   5 月 2 2 日  
Date of Application:

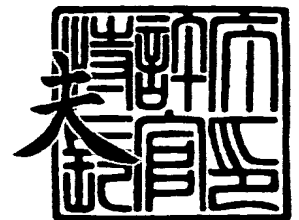
出 願 番 号      特 願 2 0 0 3 - 1 4 5 1 1 3  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 3 - 1 4 5 1 1 3 ]

出 願 人      沖電気工業株式会社  
Applicant(s):      株式会社 沖マイクロデザイン

2 0 0 3 年   9 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 0G004769  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 13/366  
G11C 7/00

## 【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖  
マイクロデザイン内

【氏名】 川越 政邦

## 【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖  
マイクロデザイン内

【氏名】 成見 昭宏

## 【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖  
マイクロデザイン内

【氏名】 中武 義浩

## 【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

## 【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社沖マイクロデザイン

## 【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アービタ回路

【特許請求の範囲】

【請求項 1】 複数のデータ転送要求信号を受け入れて所定のタイミング信号により前記データ転送要求信号を保持するデータ転送要求信号保持手段と、

前記データ転送要求信号保持手段からの出力信号に優先順位づけをするために、その時点での最優先の信号のみを有効信号とし、それ以下の優先順位の信号を無効とする優先順位付け手段と、

前記優先順位付け手段の出力信号からデータ転送実行信号を生成する遅延手段と、

を備えたことを特徴とするアービタ回路。

【請求項 2】

前記データ転送要求信号保持手段と前記優先順位付け手段との間に信号遅延手段を更に設けたことを特徴とする請求項 1 記載のアービタ回路。

【請求項 3】

前記信号遅延手段は直列接続された複数段のインバータ回路により構成し、優先順位の低い前記データ転送要求信号ほど前記信号遅延手段の前記段数を増加させたことを特徴とする請求項 2 記載のアービタ回路。

【請求項 4】

前記タイミング信号は、前記優先順位付け手段の出力信号に基づいて生成される信号であることを特徴とする請求項 1 ～ 3 のいずれか 1 項記載のアービタ回路。

【請求項 5】

前記遅延手段は、PMOSトランジスタと抵抗とNMOSトランジスタにより構成される遅延インバータ回路を偶数段直列接続した遅延回路を備えており、前記優先順位付け手段の出力信号を論理反転させた反転信号を該遅延回路に入力し、前記反転信号に対する遅延回路からの出力信号と前記反転信号との論理積をとる回路とから構成したことを特徴とする請求項 1 記載のアービタ回路。

【請求項 6】

前記遅延手段は前記優先順位付け手段の各出力信号毎に設けられていることを特徴とする請求項 1 記載のアービタ回路。

【請求項 7】

前記遅延手段は前記優先順位付け手段の出力信号の内、その時点で最優先信号として認識された信号に対して設けられていることを特徴とする請求項 1 記載のアービタ回路。

【請求項 8】

前記遅延手段は、PMOS トランジスタと抵抗と NMOS トランジスタにより構成される遅延インバータ回路を偶数段直列接続した遅延回路を備えており、前記タイミング信号と前記優先順位付け手段の出力信号とから前記データ転送実行信号を生成することを特徴とする請求項 1, 7 記載のアービタ回路。

【請求項 9】

前記遅延手段は、PMOS トランジスタと抵抗と NMOS トランジスタにより構成される遅延インバータ回路を複数段直列接続した遅延回路を複数回路備え、更に該複数回路の遅延回路の各々の動作を有効／無効とする手段を更に備えていることを特徴とする請求項 8 記載のアービタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、フィールドメモリを複数の装置によりアクセスするシステムにおけるアクセス制御に関するものであり、特に、メモリにアクセスする為に一時的にデータを保持しておくためのレジスタとメモリセル間のデータ転送に優先順位をつけるアービタ回路に関する。

【0002】

【従来の技術】

従来、高速の非同期読み取り／書き込みが可能なシリアルアクセスメモリであるフィールドメモリにおいては、高速の非同期読み取り／書き込みを可能にするために、一時的にデータを保持するレジスタを読み取り／書き込み動作にそれぞれ備えている。更に、同一アドレスのメモリセルに同時にアクセスする場合に

、データを破壊しないように、レジスタとメモリセル間のデータ転送に優先順位をつけるアービタ回路を備えている。

#### 【 0 0 0 3 】

図 8 は、従来のアービタ回路の構成図である。このアービタ回路は、データ転送に優先順位を付与するアービタ部と、優先順位のマージン（各装置のデータ転送要求が重複した場合や、優先順位の低い装置からのデータ転送要求が先に送出された場合に、データ転送の誤動作が発生しないようにするための余裕度のこと）確保及び一つのデータ転送から次のデータ転送までのマージンを確保するための遅延部から構成される。アービタ部は、アービタ回路 1 ～ n から構成され、遅延部は、遅延回路 1 ～ n により構成される（図 8 は n=3 の場合の例である）。

#### 【 0 0 0 4 】

次に主要な各記号の意味を簡単に説明する。

- ・ ARBI<0>～ARBI<2>：データ転送要求信号である。
- ・ END：データ転送終了信号である。
- ・ ARB\_N1, ARB\_N2：データ転送要求信号に優先順位を付けるための信号を入力する為の信号端子である。
- ・ ARBO<0>～ARBO<2>：データ転送実行信号である。
- ・ ARB\_NO<0>～ARB\_NO<2>：データ転送要求セット信号である。
- ・ ST：電源投入時に発生するイニシャルリセット信号であり、電源投入後暫くして”L”レベルから”H”レベルに遷移し、以後”H”レベルを保持する信号である。

データ転送要求信号数は説明を簡単化するために 3 つの信号とし、優先順位は、高い順に ARBI<0>, ARBI<1>, ARBI<2>とする。

#### 【 0 0 0 5 】

図 8 の従来のアービタ回路の動作を図 1 2 のタイムチャートを用いて説明する。図 1 2 に示したタイムチャートは、同時に 3 つのデータ転送要求信号が活性化された場合を示している。先ず、ARBI<0>, ARBI<1>, ARBI<2>が立ち上がる（有効になる）。この信号を受けて、ARB回路 1 <0>～ARB回路 1 <2>中のnd2（図 9 参照）が”H”レベルにラッチされ、データ転送要求セット信号ARB\_NO<0>～ARB\_NO<2>が立ち下がり（有効となり）、遅延回路 2 中のnd1が立ち上がり（図 1 1 参照）

、全てのデータ転送要求がセットされる。

#### 【 0 0 0 6 】

ARB回路 1 <1>、ARB回路 1 <2>では、ARB回路 1 <0>から出力されるARB\_NO<0>信号がそれぞれのARB\_N1端子に遅延無しで接続されているため、ARB\_NO<1>、ARB\_NO<2>がすぐに立ち上がり、DELAY回路 2 <1>、DELAY回路 2 <2>のnd1が立ち下がるため、転送要求信号ARBI<1>、ARBI<2>に対応するデータ転送実行信号ARBO<1>、ARBO<2>が有効になることはない。

#### 【 0 0 0 7 】

ARB回路 1 <0>の回路でも同様に、優先順位付け端子ARB\_N1、ARB\_N2がそれぞれARB\_NO<1>、ARB\_NO<2>のDELAY回路 1 からの出力信号ARB\_NI<1>、ARB\_NI<2>に接続されている為にDELAY回路 1 <1>、DELAY回路 1 <2>での遅延時間遅れてARB回路 1 <0>回路がリセットされようとする。ところが、既にARB回路 1 <1>、ARB回路 1 <2>の回路のARB\_NO<1>、ARB\_NO<2>信号が既にリセットされているのでリセットされることはない。これにより、ARBOB<0>信号が図 1 1 のnd1の立ち上がりから、インバータDINV1、DINV2により遅延して立ち上がり、データ転送実行信号ARBO<0>が立ち下がり、活性化される（有効となる）。

#### 【 0 0 0 8 】

また、瞬間的にARB\_NO<1>、ARB\_NO<2>の信号が”L”レベル、DELAY回路 2 <1>、及びDELAY回路 2 <2>のノードnd1が”H”レベルとなるが、ARB\_NO<1>、ARB\_NO<2>については、DELAY回路 1 <1>、及びDELAY回路 1 <2>の抵抗R1及びコンデンサC1による時定数を十分大きな値とすることにより、パルス状の信号はOUT端子から出力されず、ARB\_NI<1>、ARB\_NI<2>のレベルは”H”の状態を維持する。また、DELAY回路 2 <1>及びDELAY回路 2 <2>については、nd1信号に対してARB\_NO<1>、ARB\_NO<2>信号が十分遅延される結果パルス状の信号は出力されず、データ転送実行信号ARBO<1>、ARBO<2>は、”H”レベル（無効）の状態を保持する。

#### 【 0 0 0 9 】

次にデータ転送要求信号ARBI<0>に対するデータ転送が終了したことを示すEND信号が”H”レベルとなる。この時、ARB回路 1 <0>のARBEND<0>信号（図 9 参照）が”L”となり、ARB\_NO<0>信号は”H”レベルとなるので、DELAY回路 2 <0>を経てデー

タ転送実行信号ARBO<0>が立ち上がり、不活性（無効）となる。

#### 【 0 0 1 0 】

尚、ARB回路 1 <1>及びARB回路 1 <2>では、END信号が”H”レベルを維持している期間中、ARBOB<1>、ARBOB<2>信号が”L”レベルの状態を保持しているため、ARBEND<1>、ARBEND<2>の信号が立ち上がり、図 9 のnd2が”H”レベルにラッチされた状態が継続する。これにより、ARB\_NO<0>信号の立ち下がりを受けて、信号ARB\_NO<1>、ARB\_NO<2>が立ち下がり、DELAY回路 2 <1>及びDELAY回路 2 <2>のnd1が立ち上がり、残りの二つのデータ転送要求がセットされる。

#### 【 0 0 1 1 】

ARB回路 1 <1>においては、ARB\_NI<2>がARB\_N2に接続されているため、同様に、DELAY回路 1 <2>での遅延時間遅れてARB回路1<1>がリセットされようとする。ところが、既にARB回路1<2>がリセットされている為に、そのリセットは無効となる。これにより、DELAY回路 2 <1>において、ARBOB<1>がnd1の立ち上がりから、インバータ回路DINV1,DINV2の遅延時間分遅延して立ち上がり、データ転送実行信号ARBO<1>が立ち下がり、活性化する（有効となる）。

#### 【 0 0 1 2 】

また、瞬間的にARB\_NO<2>信号が”L”レベル、DELAY回路 2 <2>のnd1が”H”レベルとなるが、ARB\_NO<2>信号についてはDELAY回路 1 <2>のC,Rの時定数に関する遅延によりこのパルス信号が吸収されるため、ARB\_NI<2>信号は”H”レベルを維持し、DELAY回路 2 <2>のnd1については、DELAY回路 2 <2>のインバータ回路DINV1,DINV2の遅延時間により吸収されて出力されず、ARBO<2>信号は”H”レベルを維持する。

#### 【 0 0 1 3 】

2 回目のEND信号の立ち下がり時には、ARB回路 1 <1>は、1 回目のEND信号の立ち上がり時のARB回路 1 <0>と同様の動作を行い、ARB回路 1 <2>は、1 回目のEND信号の立ち下がり時のARB回路 1 <1>と同様の動作を行う。

#### 【 0 0 1 4 】

3 回目のEND信号の立ち下がり時には、ARB回路 1 <2>は、1 回目のEND信号の立ち上がり時のARB回路 1 <0>と同様の動作を行う。



**【 0 0 1 5 】**

図 8 ～ 図 1 1 に示した従来のアービタ回路においては、以上のように、同時に 3 つのデータ転送要求信号が活性化した場合、DELAY 回路 1 の遅延時間を利用して、優先順位の高い順にデータ転送実行信号を活性化していた（有効としていた）。

**【 0 0 1 6 】**

しかしながら、図 8 ～ 図 1 1 に示した従来の回路構成では、優先順位が高いデータ転送要求信号と、優先順位の低いデータ転送要求信号とが同時に活性化する場合に、DELAY 回路 1 の遅延時間及び DELAY 回路 2 のインバータ回路 DINV1, DINV2 の遅延時間に基づいて、次のデータ転送を実行する優先順位を決める方法であるので、プロセスのバラツキによる遅延量のバラツキ、配線負荷のバラツキなどにより、一つの転送から次の転送までの時間の変動による誤動作や、優先順位が入れ替わる等の誤動作を起こす可能性があった。

**【 0 0 1 7 】**

また、データ転送要求信号が増加した場合、それぞれのデータ転送要求信号の優先順位を決定するための ARB 回路、DELAY 回路も併せて増加させる必要があるため、IC 化する際のレイアウト面積の増大という問題、及び各転送動作について、転送と転送との間の時間設定を行う必要が生じタイミング調整の煩雑化という問題が発生していた。

**【 0 0 1 8 】**

その他にも 2 つ以上の要求信号の競合を調停するアービタ回路に関して下記のような文献がある。

**【 0 0 1 9 】****【特許文献 1】**

特開平 8 - 8 3 2 4 2 号公報

**【 0 0 2 0 】**

この発明は、前記従来の課題を解決して、誤動作が少なく調整の容易なアービタ回路を提供することを目的とする。

**【 0 0 2 1 】**

**【課題を解決するための手段】**

この発明は、前記課題を解決するために、複数のデータ転送要求信号を受け入れて所定のタイミング信号によりデータ転送要求信号を保持するデータ転送要求信号保持手段と、データ転送要求信号保持手段からの出力信号に優先順位づけをするために、その時点での最優先の信号のみを有効信号とし、それ以下の優先順位の信号を無効とする優先順位付け手段と、優先順位付け手段の出力信号からデータ転送実行信号を生成する遅延手段とを備えている。これにより、データ転送要求信号の優先順位付けを誤ることが無く、また、優先順のタイミング設定が容易になるため回路の調整が容易になる。

**【0022】****【発明の実施の形態】**

以下、図面を参照して本発明の実施の形態を詳細に説明する。

**〔第1の実施の形態〕**

図1～3に、本発明の第1の実施の形態におけるアービタ回路の構成を示す。説明の簡単化の為に、データ転送要求信号線の本数は、従来と同様に3本としている。図1は第1の実施の形態の全体構成を示す図であり、図2は、アービタ部の回路構成を示す図であり、図3は、DELAY部のDELAY回路の具体例を示す図である。

**【0023】**

図1は、第1の実施の形態におけるアービタ回路の全体構成図であり、従来の図8におけるアービタ部のARB回路1及びDELAY回路1の代わりにデータ転送要求信号を優先順位により論理的に選択し出力するARB回路2を配置し、更に、優先順位の逆転防止及びデータ転送間のマージンを確保する為に、DELAY回路3を配置している。

**【0024】**

以下、第1の実施の形態における主要な各記号の意味について簡単に説明する。

- ・ ARBI<0>, ARBI<1>, ARBI<2>: データ転送要求信号である。
- ・ ARB\_NO<0>, ARB\_NO<1>, ARB\_NO<2>: データ転送要求のセット信号である。

- ・ ARBOB<0>, ARBOB<1>, ARBOB<2>：データ転送実行信号である。
- ・ TRE/TREb：転送イネーブル信号であり、データ転送要求信号の遮断・転送・ラッチを制御する信号である。
- ・ ST：電源投入時に発生するイニシャルリセット信号であり、電源投入後暫くして”L”レベルから”H”レベルに遷移し、以後”H”レベルを維持する信号である。

#### 【 0 0 2 5 】

第 1 の実施例におけるアービタ回路の動作を図 4 のタイムチャートに従って説明する。図 8 の場合と同様に、3 つのデータ転送要求信号 ARBI<0>～ARBI<2>が同時に活性化した場合について説明する。

#### 【 0 0 2 6 】

転送イネーブル信号 TRE/TREb はそれぞれ”H”/”L”レベルであるので、トランスファークローク TR<0>～TR<2>はそれぞれ”ON”しており、ARBI<0>～ARBI<2>の入力がそれぞれインバータ対で構成されるデータ保持回路 CINV0～CINV2 に保持される。尚、NTR0～NTR2 はデータ保持回路に保持されているデータをリセットする回路であり、TR<0>～TR<2>、NTR0～NTR2、及び CINV0～CINV2 により、ARBI<0>～ARBI<2>を入力データとし、TRE 信号をトリガ信号とし、ARBEND をリセット信号とする三つのフリップフロップ回路（データ転送要求保持手段）20 を構成している。

#### 【 0 0 2 7 】

これらのデータ転送要求信号 ARBI<0>～ARBI<2>は、優先順位の高い方から順に、ARBI<0>, ARBI<1>, ARBI<2>となっており、この優先順位にもとづいて、最優先のデータ転送要求セット信号 ARB\_NO<0>が先ず活性化（”L”レベル）される。この信号はゲート回路 22a, 22b から構成される優先順位付け回路（優先順位付け手段）22 から出力される。この ARB\_NO<0>信号の活性化を受けて、優先順位が下位の信号 ARB\_NO<1>, ARB\_NO<2>は、それぞれ前述のゲート回路 22a 及び 22b によりマスクされて出力されない（”H”レベル）。

#### 【 0 0 2 8 】

尚、図 2 においては、前述のデータ転送要求保持手段と優先順位付け手段との間にインバータ回路 21a 及び直列接続されたインバータ回路 21b～21d により構成される回路が挿入されているが、この回路（信号遅延手段）21 は、優先順位のよ

り低いデータ転送要求信号が優先順位のより高い信号より前に入力された場合の回路の動作を保証する為の手段である。そのようなことが起こらない場合には必ずしも必要ではない。

#### 【 0 0 2 9 】

前述のARB\_NO<0>信号の活性化により、ゲート回路23a, 23bによりTRE信号及びTREb信号がそれぞれ、“L”レベル及び“H”レベルとなり、トランスファークゲートTR<0>～TR<2>により、データ転送要求信号ARBI<0>～ARBI<2>の入力を遮断し、保持回路CINV0～CINV2により現在の状態をそれぞれラッチする。

#### 【 0 0 3 0 】

このラッチ動作の直後、ARBI<0>信号は“L”レベルにリセットされる。また、活性化されたARBI<0>信号により、DELAY回路3<0>において、予め設定した遅延時間の後、データ転送実行信号であるARBO<0>信号が立ち下がり、データ転送動作が行われる。このデータ転送動作が終了すると、END信号がON (“H”レベル) となりNMOSトランジスタNTR0～NTR2がオンし、ARBO<0>～ARBO<2>が“H”レベルとなり、ARB回路2はリセットされる。

#### 【 0 0 3 1 】

リセットされた“H”レベルのARB\_NO<0>信号を受けて、TRE, TREb信号はそれぞれ“H”レベル、“L”レベルとなり、図 2 の回路のTR<0>～TR<2>が“ON”状態となるため、ARBI<0>～ARBI<2>のデータ転送要求信号の入力が可能となり、次のデータ転送要求信号が優先順位に従って有効となる（この場合、ARBO<1>が活性化される）。同様に、ARBO<2>まで活性化されて、全ての転送動作が実行される。

#### 【 0 0 3 2 】

以上説明したように、この実施の形態においては、データ転送要求信号の優先順位を優先順位付け手段により論理的に決定するため、従来のDELAY回路1、及びDELAY回路2を使用した、信号の遅延による優先順位の決定方法と比較してプロセスバラツキに対する変動が少なく誤動作を防止することができ、優先順位のタイミング設定が容易になる。

#### 【 0 0 3 3 】

[第 2 の実施の形態]

図 5 は、本発明の第 2 の実施の形態における全体構成を示すブロック図であり、図 6 は、第 2 の実施の形態における DELAY 回路 4 の回路図の具体例を示している。この実施の形態においては、図 5 の ARB 回路 2 については、第 1 の実施の形態における回路と同様であるが、DELAY 回路 4 は、データ転送要求セット信号 ARB\_NO<0>～ARB\_NO<2>毎に設けるのではなく、全体で一つの回路構成と成っており、その詳細は図 6 の具体例に示す通りである。

#### 【 0 0 3 4 】

第 2 の実施の形態における回路の動作について、第 1 の実施の形態に於ける動作と異なる部分についてのみ説明を行う。

#### 【 0 0 3 5 】

データ転送実行信号である ARB0<0>信号は、ARB 回路 2 中において、ARB\_NO<0>～ARB\_NO<2>のいずれかの信号の活性化を受けて生成される TREb 信号（図 2 参照）の入力信号に対して、DELAY 回路 4 において予め設定された遅延時間を経て最終的に ARB\_NO<0>との論理 OR により活性化される。この動作以外は第 1 の実施の形態の動作と同様である。

#### 【 0 0 3 6 】

このように、この実施の形態によれば、第 1 の実施の形態における DELAY 回路 3 と比較して、ARB\_NO 信号毎に回路を設ける構成ではないので、レイアウト面積を小さくできる。従って、転送要求信号が増加した場合にチップ面積の増加を抑制できる効果がある。

#### 【 0 0 3 7 】

##### [第 3 の実施の形態]

第 3 の実施の形態においては、アービタ部については、第 1 及び第 2 の実施の形態と同様である。DELAY 部については、第 2 の実施の形態と基本的には同様の構成であるが、遅延時間を設定している回路部にヒューズを設けることにより、遅延時間をより細かく設定できる構成となっている。回路の動作については、第 2 の実施の形態における動作と同様である。

#### 【 0 0 3 8 】

以上のように、この実施の形態によれば、DELAY 部の遅延時間の設定をより細

かく設定できる構成としているので、プロセスバラツキによる遅延量のバラツキをデバイス上で吸収できるという効果がある。

#### 【0039】

尚、本発明は、前述の各実施の形態に限定されるものではなく、本発明の趣旨に基づいて種々変形させることが可能である。例えば、前述の各実施の形態においては、データ転送要求信号の数が3信号の場合について説明したが、この信号の個数に関係なく本発明を適用可能である。また、遅延素子については、抵抗とインバータ回路の組み合わせについて説明したが、これに限定されるものではなく、抵抗とコンデンサの組み合わせ、或いはコンデンサ単体とインバータ回路の組み合わせ等種々の変形が考えられる。

#### 【0040】

##### 【発明の効果】

以上詳細に説明したように、この発明によれば、複数のデータ転送要求信号を受け入れて所定のタイミング信号によりデータ転送要求信号を保持するデータ転送要求信号保持手段と、データ転送要求信号保持手段からの出力信号に優先順位づけをするために、その時点での最優先の信号のみを有効信号とし、それ以下の優先順位の信号を無効とする優先順位付け手段と、優先順位付け手段の出力信号からデータ転送実行信号を生成する遅延手段とを備えている。これにより、データ転送要求信号の優先順位付けを誤ることが無く、また、優先順のタイミング設定が容易になるため回路の調整が容易になる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施の形態の全体構成を示すブロック図である。

#### 【図2】

第1の実施の形態におけるアービタ部の回路構成を示す図である。

#### 【図3】

第1の実施の形態におけるDELAY部のDELAY回路の具体例を示す図である。

#### 【図4】

第1の実施の形態における回路の動作を説明するためのタイムチャートである

。

**【図 5】**

第 2 の実施の形態における全体構成を示すブロック図である。

**【図 6】**

第 2 の実施の形態における DELAY 部の DELAY 回路の具体例を示す図である。

**【図 7】**

第 3 の実施の形態における DELAY 部の DELAY 回路の具体例を示す図である。

**【図 8】**

従来のアービタ回路の構成図である。

**【図 9】**

従来のアービタ回路の ARB 回路である。

**【図 1 0】**

従来のアービタ回路の DELAY 回路 1 である。

**【図 1 1】**

従来のアービタ回路の DELAY 回路 2 である。

**【図 1 2】**

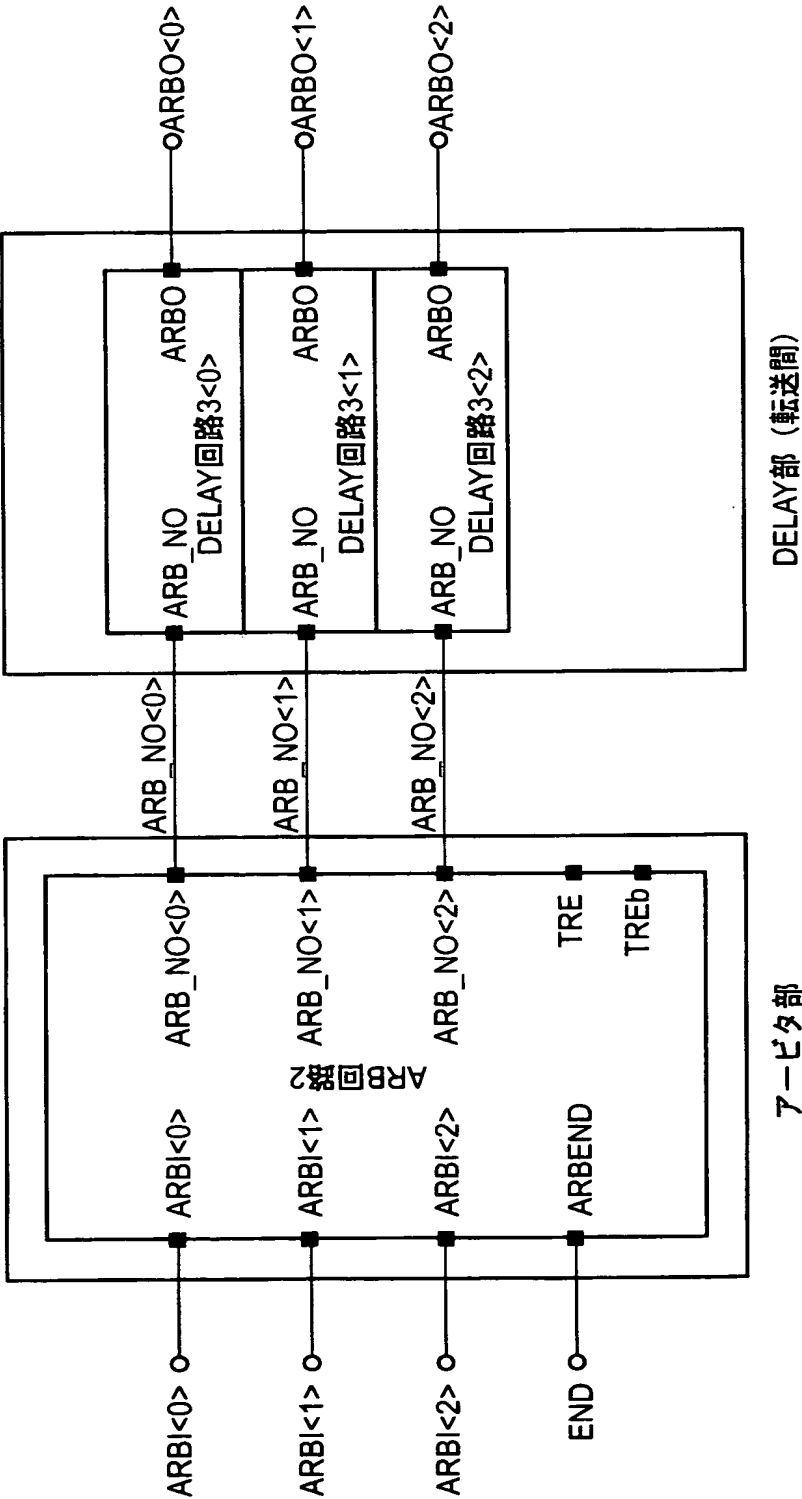
従来のアービタ回路の動作を説明するためのフローチャートである。

**【符号の説明】**

ARBI<0>～ARBI<2>	データ転送要求信号
ARB_NO<0>～ARB_NO<2>	データ転送要求セット信号
END	データ転送終了信号
ARBO<0>～ARBO<2>	データ転送実行信号

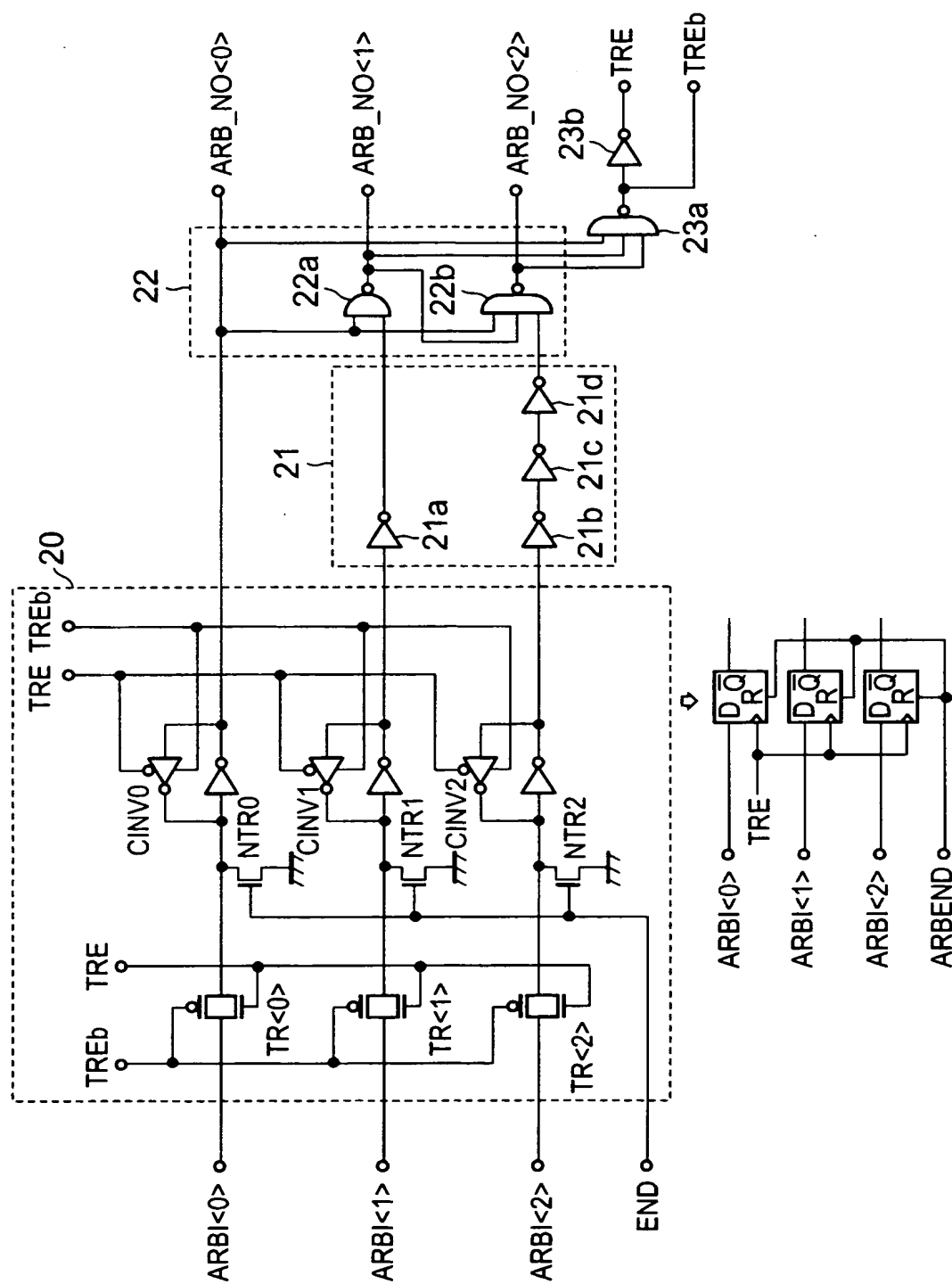
【書類名】 図面

【図 1】

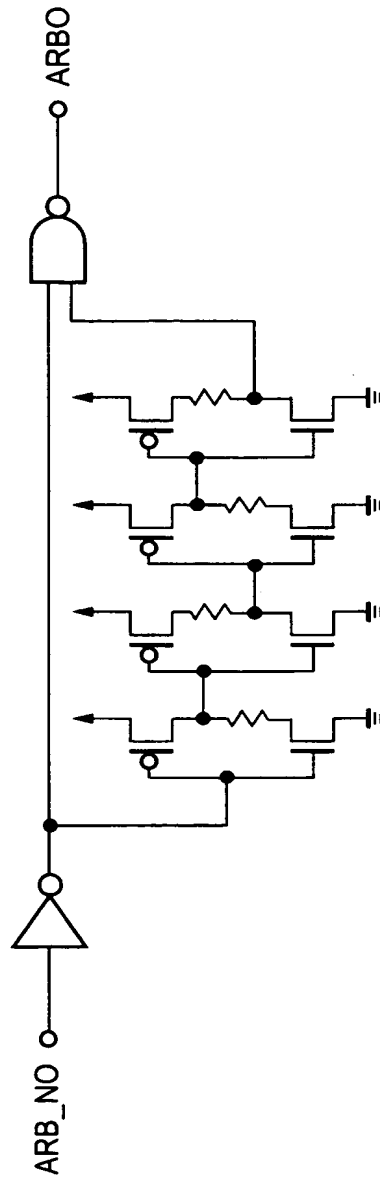




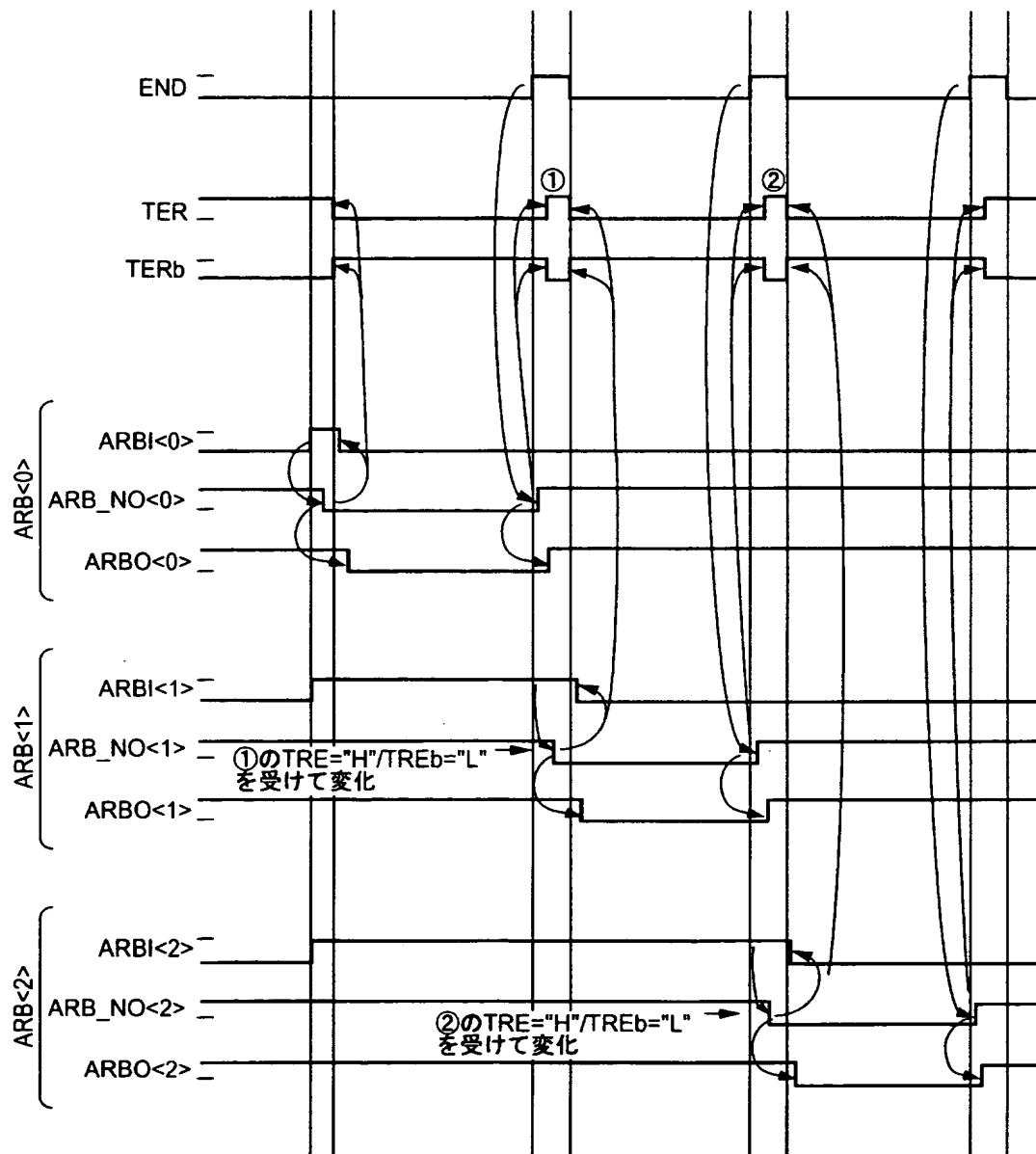
【図 2】



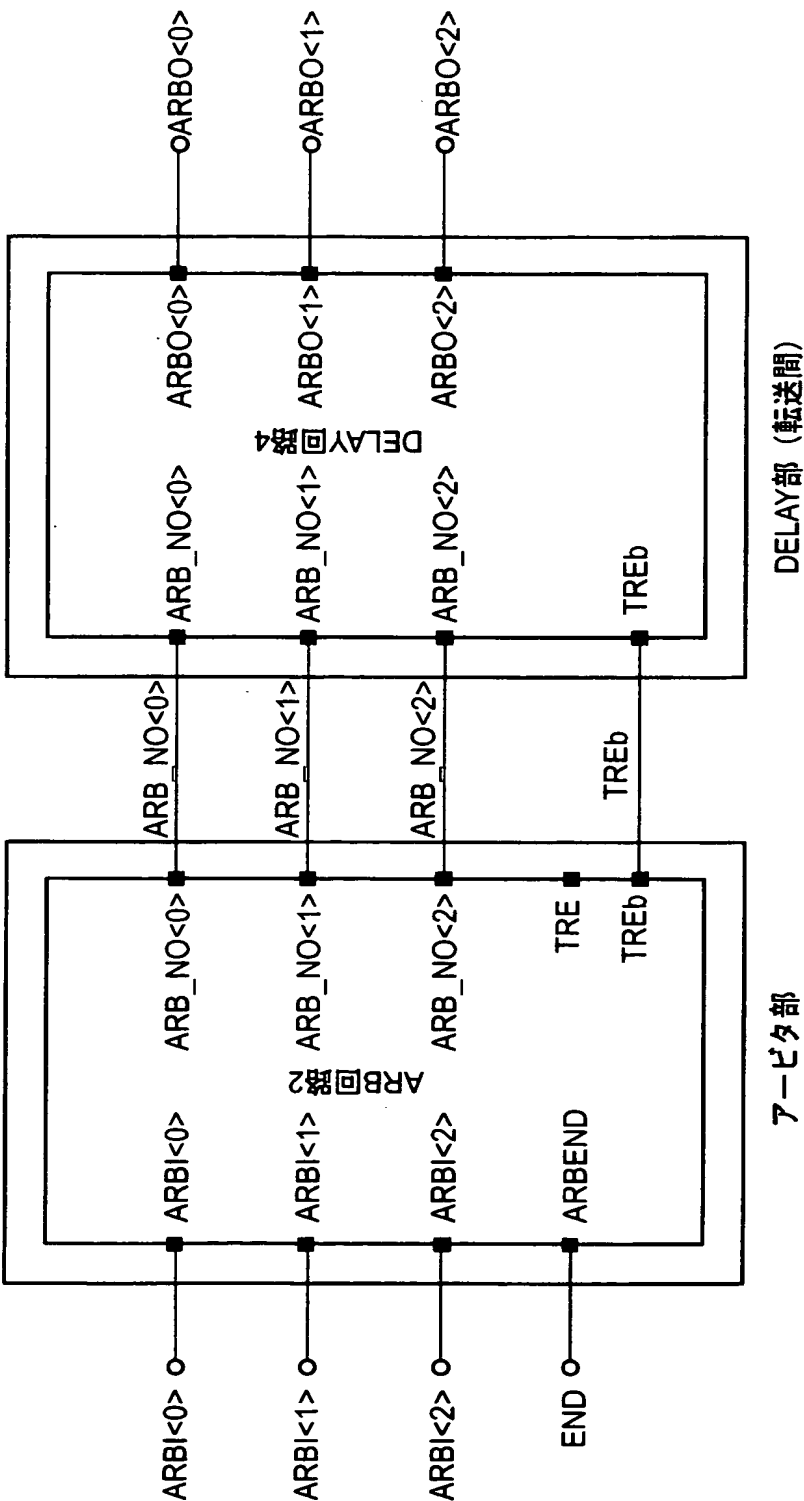
【図 3】



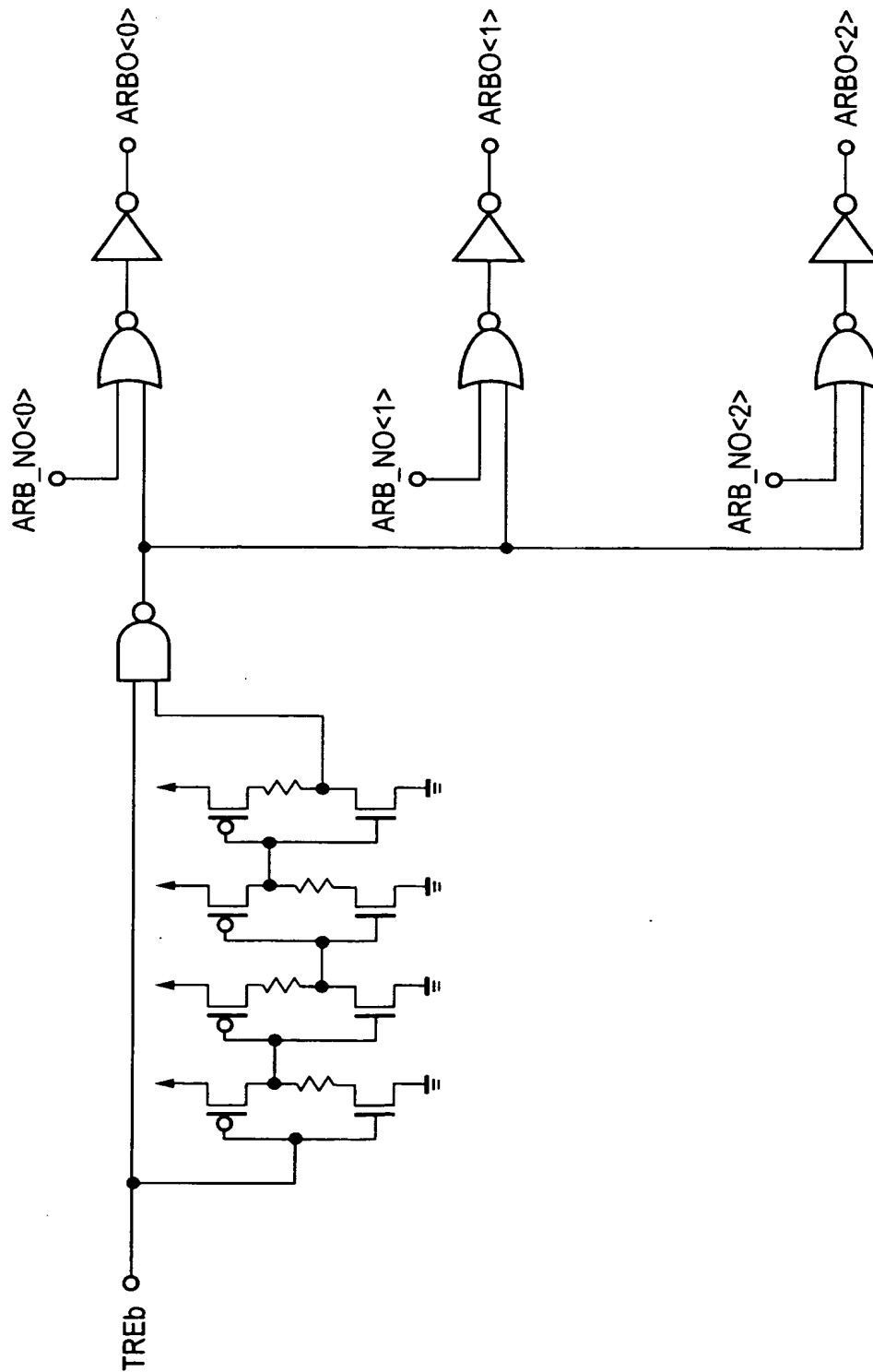
【図 4】



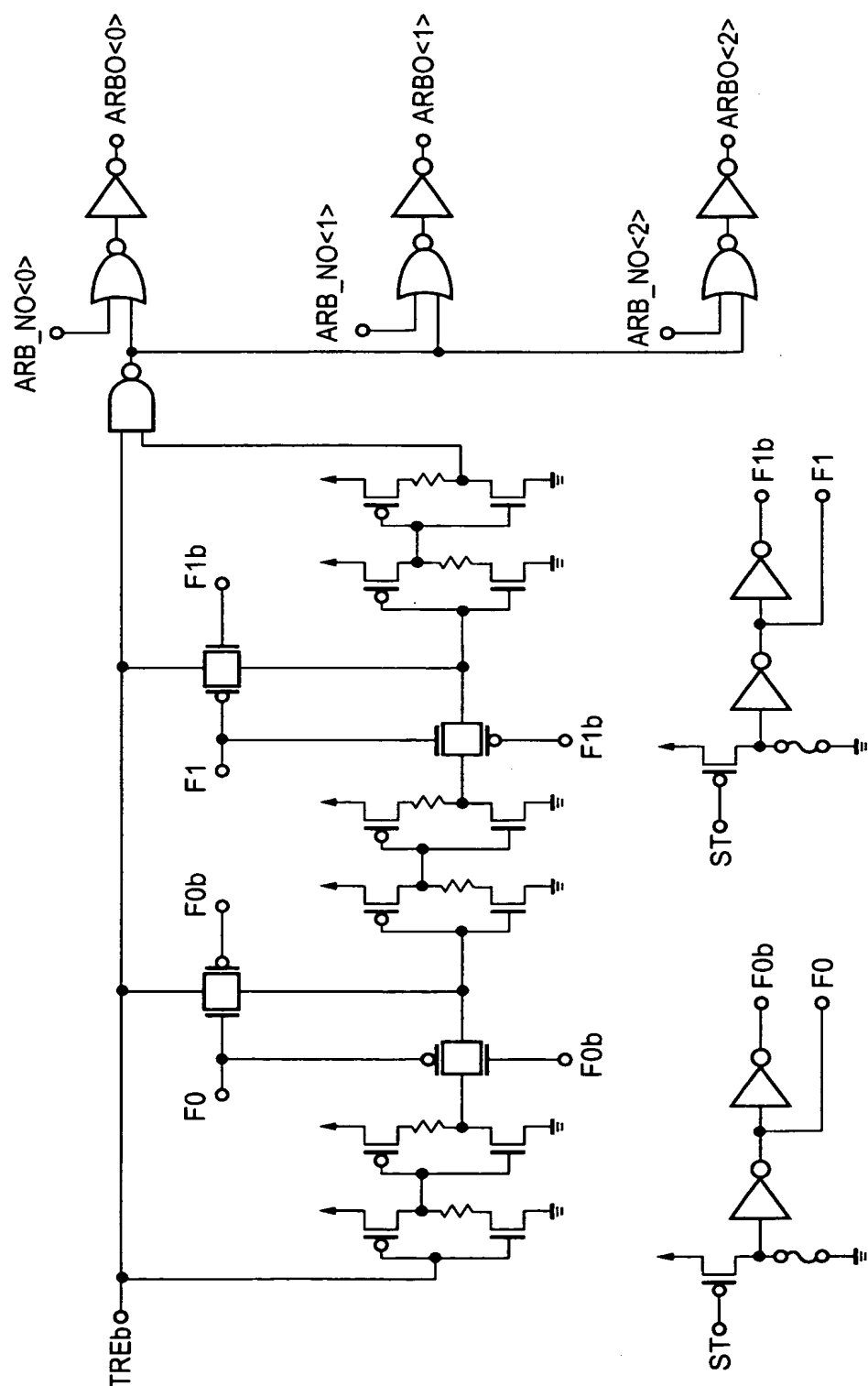
【図 5】



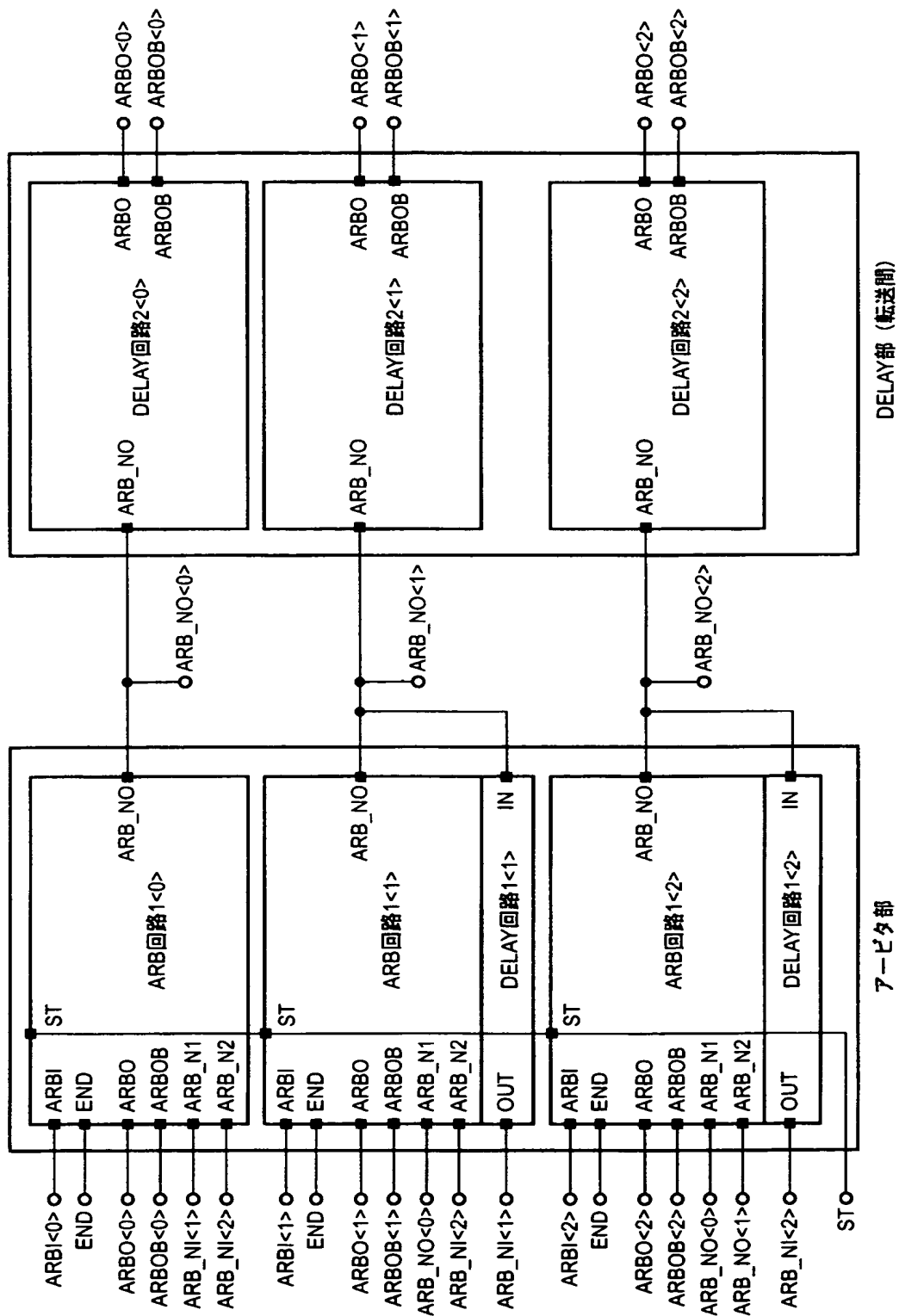
【図 6】



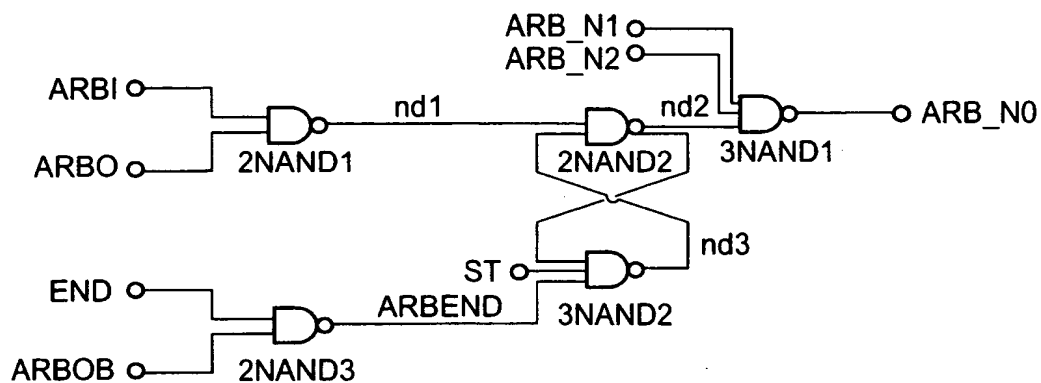
【図 7】



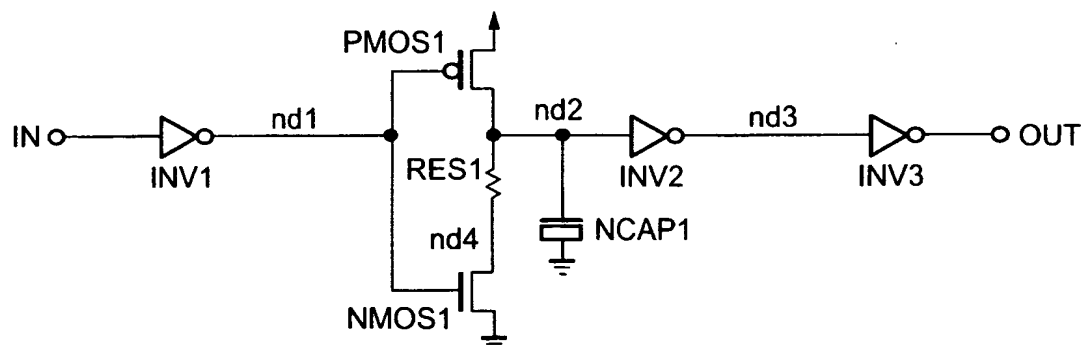
【図 8】



【図 9】

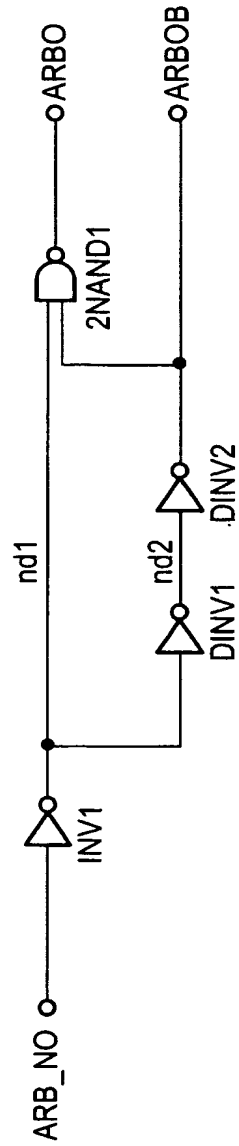


【図 10】

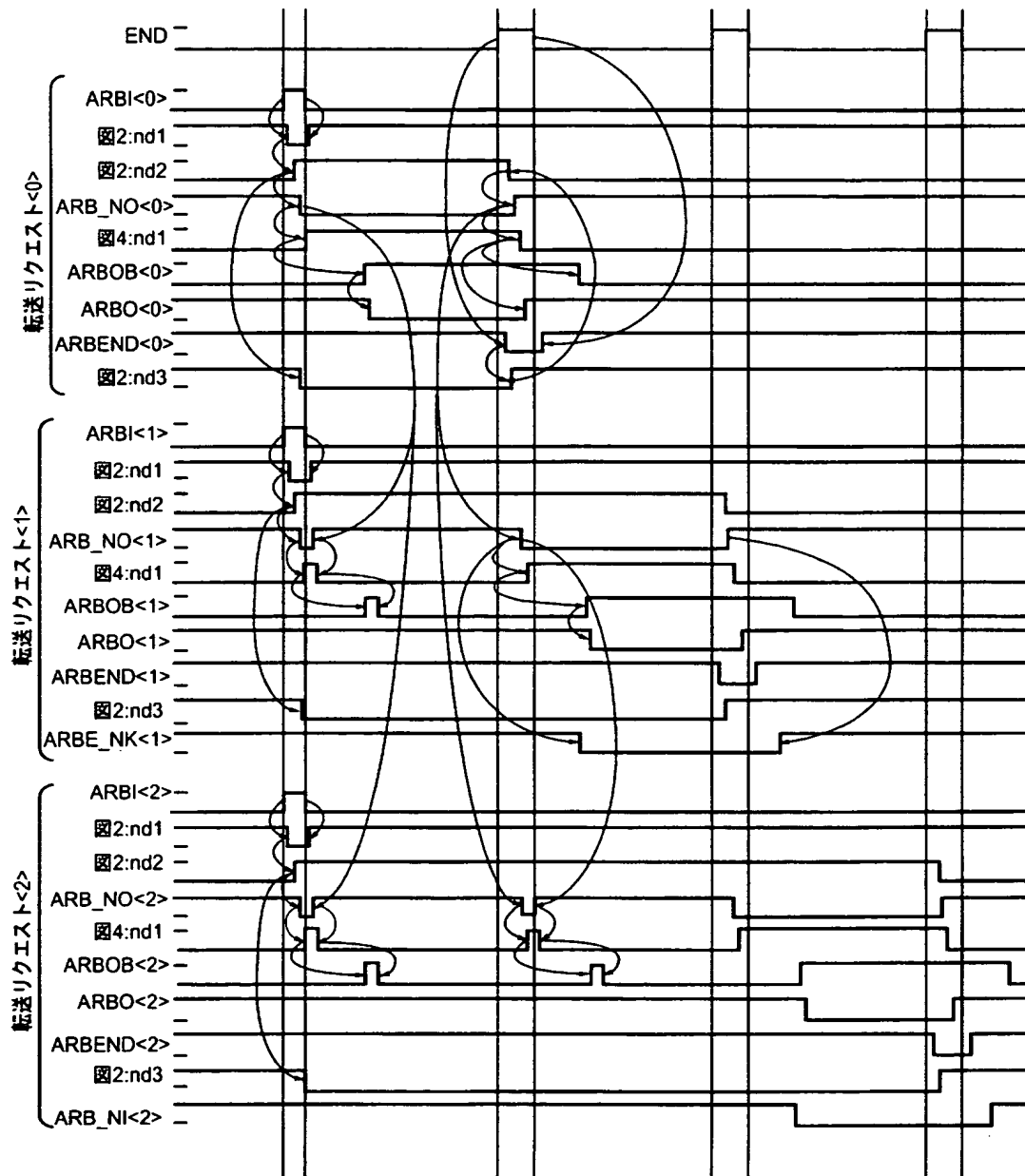




【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 誤動作が少なく調整の容易なアービタ回路を提供する。

【解決手段】 複数のデータ転送要求信号（ARBI<0>～ARBI<2>）を受け入れて所定のタイミング信号によりデータ転送要求信号を保持するデータ転送要求信号保持手段と、データ転送要求信号保持手段からの出力信号に優先順位づけをするために、その時点での最優先の信号のみを有効信号とし、それ以下の優先順位の信号を無効とする優先順位付け手段と、優先順位付け手段の出力信号からデータ転送実行信号を生成する遅延手段とを備えている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 4 5 1 1 3
受付番号	5 0 3 0 0 8 5 3 1 0 1
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 5 月 2 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 5月22日
-------	-------------

次頁無

特願 2 0 0 3 - 1 4 5 1 1 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 1 4 5 1 1 3

出 願 人 履 歴 情 報

識別番号

[ 5 9 1 0 4 9 8 9 3 ]

1. 変更年月日

1 9 9 9 年 6 月 1 7 日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地

氏 名

株式会社 沖マイクロデザイン